

# An ILP Algorithm for Voltage-Island Generation Considering Temperature in 3D-Ics

Shouchun Tao<sup>1,2</sup>, Jia Liu<sup>1,2</sup>, Yuchun Ma<sup>1,3</sup>, Zhigang He<sup>1,2</sup>, Ning Xu<sup>2</sup>, Yu Wang<sup>3,4</sup>, Xianlong Hong<sup>1</sup>

<sup>1</sup> Department of Computer Science and Technology, Tsinghua University, Beijing, China, 100084

<sup>2</sup> School of Computer Science and Technology, Wuhan University of Technology, Wuhan, China, 430070

<sup>3</sup> Tsinghua National Laboratory for Information Science and Technology

<sup>4</sup> Department of Electronic Engineering, Tsinghua university, Beijing, China, 100084

**Abstract**—To reduce interconnect delay and improve chip performance, three-dimensional chip emerges with the rapid increasing of chip integration as well as chip power density. Therefore, the thermal optimization issue is one of the most serious challenges in 3D IC designs. With some low power technologies such as multi-supply voltage designs, the thermal management and the layout optimization becomes even more complex for 3D designs. In this paper, an ILP formulation is proposed to optimize not only the temperature distribution, but also power-network routing resources and the timing constraint. Experimental results show that, compared with original algorithm, our algorithm can obtain a lower chip temperature and the decrease of temperature exceeds performance overhead distinctly.

## I. 介绍

三维集成电路是采用有源层（器件层）逐次叠加的结构，使它向三维的方向发展。近几年的研究表明，三维集成电路能够明显减小互连线长度，减小芯片面积和降低功耗，提高芯片集成度，改善深亚微米集成电路的性能<sup>[1]</sup>。功耗和电路性能，在电路优化通常是两个相互冲突的目标，如低功耗设计会牺牲芯片的速度，高速的芯片会消耗更多的功耗<sup>[2]</sup>。因此，性能受限的低功耗设计在学术界已被广泛研究。在现有的技术，多供电电压（Multiple Supply Voltages, MSV）<sup>[3]</sup>提供了一个动态降低功耗的有效途径。芯片中的模块可以工作在不同的电压下，在保持模块正常运行的情况下，可以让模块尽量运行在较低的电压下，这样可以降低模块的功耗。如CPU和RAM运行在高电压，而外围部分运行在低电压。不同区域使用不同的电压增加了芯片的复杂度，不但需要增加输入输出端口，而且还需要一个复杂的供电网络 and 电平转换单元，同时每个区域的供电电源要分别放在对应的位置<sup>[4]</sup>。

Lee<sup>[5]</sup>在总结前人多篇论文的基础上，提出了考虑电平转换器和电源规划，功率网络绕线资源的整数线性规划（Integer Linear Programming, ILP）算法。Lee的这个算法确实可以产生功率网络绕线资源较好的电压岛，但是也有一些不足：1）只使用在二维芯片设计中，对于在三维芯片设计时使用ILP没有给出可行的方法。2）随着温度的变化，模块的电流，电阻，模块时延，互连时延，都会发生

变化<sup>[6]</sup>。而在Lee的算法中没考虑温度的影响，因此其数据会有误差。

本文结合多供电电压设计以及三维芯片设计，使用考虑温度的ILP来生成电压岛，使得功耗得到优化，芯片温度显著降低。我们的主要贡献总结如下：

首先我们使用了热阻抗模型来计算三维芯片的温度。热阻抗模型由Wilkerson<sup>[7]</sup>等人提出，是在解决三维芯片热问题时常用的一种模型，文献[2, 8-10]都使用热阻抗模型来研究热问题。

其次，以往的研究工作[3, 5]在多供电电压设计中没考虑三维芯片的情况，本文将这些ILP电压岛的算法经过改善使之能适用于三维芯片。

再次，在生成ILP电压岛的时候，我们考虑了每个模块的温度对电流，电阻，模块时延，互连时延的影响，这样我们生成的电压岛将更为准确。

本文的其余部分组织如下，第二节介绍了本文使用的温度模型，第三节介绍本文提出的考虑温度的三维ILP算法，第四节报告我们的实验结果。最后，第五节总结本文。

## II. 温度模型

### A. 稳态的热传导方程

公式（1）是稳态的热传导方程。这个热传导方程可以利用数值模型或者解析模型求解。数值模型适用于求解整个芯片上的温度场分布情况，而解析模型则用于精确求解某个具体位置上的温度值<sup>[11-12]</sup>。

$$k(x, y, z)\nabla^2 T(x, y, z, t) + g(x, y, z) = 0 \quad (1)$$

其中， $k(x, y, z)$ 表示该点所在介质的热导率（W/M<sup>2</sup>·°C）， $T(x, y, z)$ 表示该点的温度值（°C）， $g(x, y, z)$ 表示该点的功耗密度值（W/M<sup>3</sup>）。由于散热片通常是附着在芯片底部的，所以芯片只通过底部来散热。外界环境温度为恒定室温 27 °C。芯片的四周和顶部被视为环境温度，因为芯片通常是用热绝缘材料包装。

This work is supported by NSFC 60606007, 60870001 and 61076035,863 project (No. 2009AA01Z130) and Tsinghua National Laboratory for Information Science and Technology (TNList) Cross-discipline Foundation.

## B. 热阻抗模型

热传导和电流流动之间存在著名的二重性。热流通过热电阻像电流将通过一个电阻。在任何点的温度类似于在该点的电压，一个热源类似于一个固定电流源。

Wilkerson<sup>[7]</sup>等人提出了一种类似于电流电阻的热阻抗模型。热阻抗模型是计算三维芯片温度的一个非常成熟的模型，在文献[2, 8-10]中都热阻抗模型做了详细介绍。这个模型由一系列垂直的堆叠块组成，如图 1 (a) 所示。每个垂直的堆叠块由来自不同层的小块叠加而成，如图 1 (b) 所示。垂直的堆叠块构成一个阻抗网络，如图 1 (c) 所示。电压源代表恒定的室温，每层的电流源代表热源。垂直的堆叠块由侧阻抗  $R_{lateral}$  连接。对于上述热阻抗网络，堆叠块之间的热阻抗  $R_{ij}$  的精确值可以通过曲线拟合的方法求得<sup>[1]</sup>，等效为电路中的电阻值；各个块网格点上的功耗密度  $P_i$  可以等效为电路中的电流源；而块网格点上的温度值  $T_i$  则可等效为电路中的电压值。这样我们就得到了下面公式 (2) 所示的热阻抗网络求解温度的线性方程组<sup>[2]</sup>：

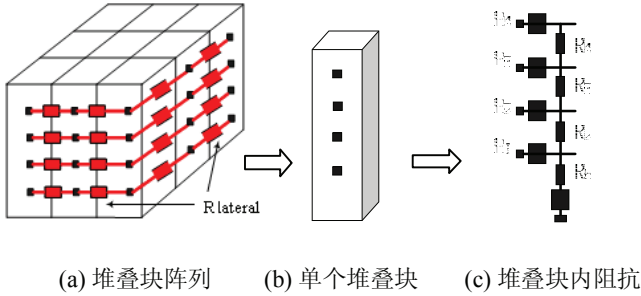


图 1 热阻抗模型

$$\begin{bmatrix} R_{11} & \cdots & R_{1m} \\ \vdots & \ddots & \vdots \\ R_{m1} & \cdots & R_{mm} \end{bmatrix} \begin{bmatrix} P_1 \\ \vdots \\ P_m \end{bmatrix} = \begin{bmatrix} T_1 \\ \vdots \\ T_m \end{bmatrix} \quad (2)$$

通过求解该线性方程组，我们就能够得到三维芯片上各器件层上的每个网格的精确温度值，通过每个网格点的温度进而可以计算每个三维芯片每个模块的温度值。文献[1]的实验结果表明，该模型在  $25 \times 25 \times 4$  的粗粒度下就能够得到与细粒度的基于 FEA<sup>[13]</sup> (Finite Element Analysis) 的数值模型类似精度的热分析结果。

## III. 考虑温度的三维 ILP 算法

### A. 问题描述

我们的目标是在考虑到功耗和功率网络绕线资源条件下，产生在时延限制下的后布局规划阶段最好的电压岛。首先，问题的输入如下：

**定义1：（问题输入）**

1) 布局规划是  $n$  个模块组成的一个集合  $B = \{b_1, b_2, \dots, b_n\}$ 。模块  $b_i \in B$  的左下角和右上角坐标分别是  $(x_i^l, y_i^l)$  和  $(x_i^u, y_i^u)$ 。

2) 描述模块集  $B$  中的连接关系的网表。

3) 时延限制  $T_{cycle}$ 。

4) 每个模块  $b_i \in B$  有一个包含  $m$  个供电电压的集合  $V_i$ ,  $V_i = \{v_i^1, v_i^2, \dots, v_i^m\}$ 。每个电压  $v_i^l \in V_i$  有一个对应的功耗  $p_i^l$  和一个对应的时延  $d_i^l$ 。

为了产生电压岛，我们需要知道在一个布图中哪些模块的位置是相邻的。文献[14-16]中认为如果2个模块的边界相互接触，就被认为是相邻模块。但是，如果两个模块距离十分近，甚至虽然它们不是相邻块，它们依然有组成一个电压岛的可能性。因此，在本文中我们放宽了块邻接的定义限制：

**定义2：（宽松块邻接）**

给定模块  $b_i$  和一个常数  $l \geq 0$ ，如果  $b_i$  的边界矩形的上下左右加  $l$  与  $b_j$  有重叠，则模块  $b_j$  被认为是  $l$ -邻接于  $b_i$ 。例如，在图2中，我们认为模块  $b_2$  的  $l$ -邻接于模块  $b_1$ 。显然，放宽块邻接使我们能够探索一个生成电压岛的更大的解空间。因此，除了上述问题的输入，参数  $l$  来定义放宽块邻接，一般由经验值确定。

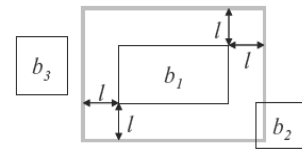


图2 模块  $b_2$  的  $l$ -邻接于模块  $b_1$ ，模块  $b_3$  不邻接于  $b_1$

下面我们给出电压岛的定义：

**定义3：（电压岛）**

一个供电电压电压岛是多个模块的集合，电压岛里的模块工作在同一电压下并  $l$ -邻接于电压岛内至少一个其它模块。电压岛的形状对功率网布局有很大的影响。如图3所示<sup>[5]</sup>，假设  $l=0$ ，对于这四个电压岛，我们两种结群方法。图3 (b) 的功率网比图3 (a) 的功率网更容易布局，因为图3 (b) 的图形更规则，因此需要的功率网绕线资源比图3 (a) 少。

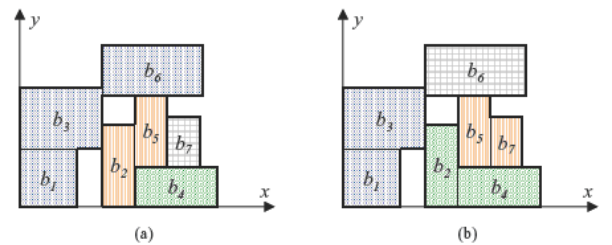


图3 电压岛 (假设  $l=0$ ，不同的颜色代表不同的电压)

(a) 4电压岛结群  $\{b_1, b_3, b_6\}$ ,  $\{b_2, b_5\}$ ,  $\{b_4\}$  和  $\{b_7\}$   
 (b) 另一4电压岛结群  $\{b_1, b_3\}$ ,  $\{b_2, b_4\}$ ,  $\{b_5, b_7\}$  和  $\{b_6\}$ ，这个电压岛结群的功率网绕线资源比 (a) 少。

受到文献[17]的启发，我们定义电压岛的功率网绕线资源如下：

**定义4：（功率网绕线资源）**

电压岛的功率网绕线资源是包围电压岛的最小高度和宽度的和。

现定义布局规划后电压岛生成问题如下：

以定义1给定的输入和常数 $l$ 作为松弛块邻接因子，分配每个模块的有效电压，使得功耗和功率网绕线资源最小，并且满足时延约束。

为了在布图中形成电压岛，我们需要一种数据结构来表示布图中模块的邻接关系。在本文中，我们使用了块邻接图（Block Adjacency Graph, BAG），只需要 $O(n)$ 个节点来精确描述块邻接关系， $n$ 是布局中模块的个数。

**定义5：块邻接图（BAG）**

给定一个包含模块集合 $B$ 和常数 $l$ 的布局，块邻接图（图4所示）是一个无向图 $G=(N,E)$ ，每个结点 $n_i \in N$ 表示模块 $b_i \in B$ ，边 $(n_i, n_j) \in E$ 表示 $b_i, b_j$ 之间是 $l$ 邻接关系。此外，每条边 $(n_i, n_j)$ 都有一个大小为包围 $b_i$ 和 $b_j$ 的最小半周长的权重。

在图4所示的块邻接图中，结点集 $N=\{b_1, b_2, b_3, b_4, b_5, b_6, b_7\}$ ，邻接关系 $E=\{(b_3, b_1), (b_3, b_6), (b_3, b_2), (b_2, b_5), (b_6, b_5), (b_2, b_4), (b_5, b_7), (b_5, b_4), (b_4, b_7)\}$ ，有边连接的两个模块就是邻接关系。

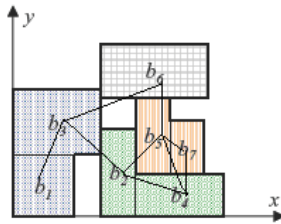


图4 邻接图 ( $l=0$ )

**B. 基于ILP的算法模型**

**B.1 基于ILP算法的功耗模型**

ILP由两部分组成：目标函数和约束条件，下面描述我们的目标函数和约束。

假设 $v_i^j$ 表示模块 $b_i$ 运行在电压 $j$ 下，因为每个模块只能分配一个电压，所以：

$$\sum_{j=1}^m v_i^j = 1 \quad (3)$$

$m$ 是有效电压的个数。

目标函数为：minimize ( $P + R$ )， $P$ 为所有模块的总功耗：

$$P_{blocks} = \sum_{i=1}^n \sum_{j=1}^m (v_i^j * p_i^j) \quad (4)$$

$n$ 是模块的数目。

$R$ 为功率网绕线资源：

$$R = \sum_{j=1}^m r_{n_s, n_t}^j \quad (5)$$

二进制变量 $r_{n_s, n_t}^j$ 表示两个节点 $n_s, n_t$ 的电压是否相等， $n_s, n_t$ 是BAG图中的一条边，即：

$$|x_{n_s}^j - x_{n_t}^j| \leq r_{n_s, n_t}^j \quad (6)$$

$x_i^j$ 表示BAG中的节点 $n_i$ 工作在电压 $j$ 下，即： $x_i^j = v_i^j$ ，其中 $i$ 从1到 $n$ ， $j$ 从1到 $m$ 。

在问题1中，降低功耗的同时必须满足性能的要求。因此，每个模块到达时间和需要时间的差必须大于或等于零。

$$t_i^r - t_i^a \geq 0 \quad (7)$$

式(7)是满足性能要求必需的约束。

**B.2 基于ILP算法的温度模型**

考虑温度以后，ILP模型的限制条件不变，目标函数变为 $\sum_{i=1}^n k_i * p_i + R$ ，其中 $n$ 为布局的层数， $k_i$ 为第 $i$ 层的温度系数。

**IV. 实验结果**

我们用C++实现了算法并在linux服务器下运行得到结果，使用SparseLib求解温度模型的方程组，使用glpk工具来解这个ILP模型，实验基准电路采用GSRC布图规划基准电路。我们假设电压有四种，分别为1,2,3,4四个级别。

表1中， $P$ 表示每层功耗， $T$ 表示每层的平均温度， $RT$ 表示运行时间， $D$ 表示最大延时。实验结果表明：在相同时间限制下，我们的温度模型相对于原始功耗模型来说，在牺牲一定运行时间的前提下，能够根据三维芯片中各层温度系数的不同，调节各层的功耗值，使得最终芯片的总温度降低，表1中给出了ami49测试电路的结果，四层总温度降低了45.62%，同时时延也能减小0.3%。

表2中，对n100设置了两个不同时钟周期(cycletime)，从表中可以看出，cycletime的增加，我们的温度模型能使温度同时降低23.28%，代价是时延有一定程度的增加，增加了15.25%，同时运行时间也增加了7.49%，这些代价对于增加整个芯片性能来说是可以接受的。

**V. 结论**

本文通过已经很成熟的热阻抗模型来计算三维芯片的温度，将生成电压岛的ILP算法应用于三维芯片中，在生成电压岛时考虑温度的影响，在消耗一定时间的基础上使得芯片的温度得到显著的降低。

下一步工作，我们可以研究利用更好的温度模型来优化整个芯片的温度，使得运行时间代价减小。

表 1 ami49 (cycletime 范围: 94.975 -- 115.425 (ms) )

Cycle time	After voltage assignment (P) (A)				After voltage assignment (T) (B)				Improvement (B-A) /A %			
	P (mw)	T(°C)	RT(ms)	D(ms)	P (mw)	T'(°C)	RT(ms)	D(ms)	P(mw)	T'(°C)	RT(ms)	D (ms)
98												
Layer 0	9755690	35.7033	1.0	97.949	16344200	34.743	1.5	97.65	67.535	-2.69	50	-0.304
Layer 1	13399100	38.4869			14144600	37.3063			5.5638	-3.068		
Layer 2	13979900	40.5408			13979900	39.1771			0	-3.364		
Layer 3	16721000	41.5363			14179000	39.9015			-15.20	-3.936		
Total	53855690	76.3892	1.0	97.949	58647700	41.5363	1.5	97.65	57.896	-45.62	50	-0.304

表 2 n100 (cycletime 范围: 142.195 -- 204.695 (ms) )

Cycle time	150 (ms) (A)				180 (ms) (B)				Improvement (B-A) /A (%)			
	P (mw)	T(°C)	RT(ms)	D(ms)	P (mw)	T'(°C)	RT(ms)	D(ms)	P (mw)	T'(°C)	RT(ms)	D(ms)
Layer 0	161953	1410.02	34.7	149.8	161953	767.586	37.3	172.65	0	-45.56	7.4928	15.25
Layer 1	203480	2335.54			23480	1385.01			0	-40.7		
Layer 2	858564	2152.73			62160.2	1609.65			-27.6	-25.22		
Layer 3	102806	2241.08			58800	1728.25			-42.805	-22.88		
Total	410153	2772.25	34.7	149.8	279828	2126.9	37.3	172.65	-70.405	-23.28	7.4928	15.25

## REFERENCES

- [1] Guoliang Zhu, Heming Zhang, Huiyong Hu, Fanning Li, Bin Shu. Three-dimensional CMOS integrated circuit technology. Electronic Science and Technology 2004 No.7 (Total 178), pp. 21-26, 2004. (In Chinese)
- [2] Y. Cheng, C. Tsai, C. Teng, S. Kang. Electrothermal Analysis of VLSI Systems. Kluwer Academic Publishers. 2000.
- [3] K. Usami and M. Horowitz, "Clustered Voltage Scaling Technique for Low-Power Design," Proc. ISLPED, pp. 3-8, 1995.
- [4] Ying Cui. IC Low-power methods and research of application: [Master thesis]. Shanghai: Information Science and Engineering Department, Fudan University, 2008 (In Chinese)
- [5] W.P. Lee, H.Y. Liu, and Y.W. Chang, "An ILP Algorithm for Post-Floorplanning Voltage-Island Generation Considering Power-Network Planning," in Proc. of IEEE/ACM International Conference on Computer Aided Design, 2007, pp. 650-655.
- [6] Hung-Lung Lin. A Multiple Power Domain Floorplanning in 3D IC : [PhD thesis]. Taiwan: Department of Computer Science, National Tsing Hua University, 2010
- [7] P. Wilkerson, M. Furmanczyk, and M. Turowski. Compact Thermal Modeling Analysis For 3D Integration Circuits. In: Proceedings of International Conference Mixed Design of Integrated Circuits and Systems. 2004: 24-26
- [8] J. Cong and Y. Zhang, "Thermal via planning for 3-D ICs," in Proc. Int. Conf. Comput.-Aided Des., Nov. 2005, pp. 745-752.
- [9] J. Cong and Y. Zhang, "Thermal-Driven Multilevel Routing for 3-D ICs," in Proceedings of the Asia South Pacific Design Automation Conference, Shanghai, China, January 2005.
- [10] Ning Xu, Xianlong Hong. VLSI Physical Design Theory and Algorithms. Beijing: Tsinghua University Press, 2009 (In Chinese)
- [11] Y. Cheng, C. Tsai, C. Teng, S. Kang. Electrothermal Analysis of VLSI Systems. Kluwer Academic Publishers. 2000.
- [12] C.-H. Tsai and S.-M. S. Kang, "Cell-Level Placement for Improving Substrate Thermal Distribution," IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, vol. 19, pp. 253-266, Feb. 2000.
- [13] S. P. Lacombe and P. A. Ivey. An ultra high density technology for microsystems. Microelectronics International. 1996: 15-18.
- [14] 2001 Vol. 89 No.5: 602-633R. Ching, E. Young, K. Leung, and C. Chu, "Post-Placement Voltage Island Generation," Proc. ICCAD, 2006.
- [15] W.-K. Mak, and J.-W. Chen, "Voltage Island Generation under Performance Requirement for SoC Designs," Proc. ASP-DAC, pp. 798-803, 2007.
- [16] H. Wu, I.-M. Liu, M. Wong, and Y. Wang, "Post-Placement Voltage Island Generation under Performance Requirement," Proc. ICCAD, pp. 309-316, 2005.
- [17] W.-P. Lee, H.-Y. Liu, and Y.-W. Chang, "Voltage Island Aware Floorplanning for Power and Timing Optimization," Proc. ICCAD, pp. 389-394, 2006.